

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 10 月 6 日 (06.10.2005)

PCT

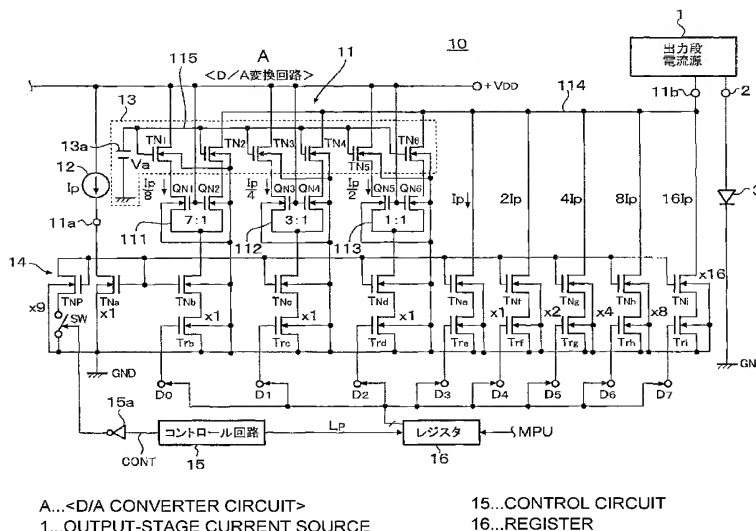
(10) 国際公開番号
WO 2005/093958 A1

- (51) 国際特許分類: H03M 1/74, 京都府京都市右京区西院溝崎町 2 1 番地
G09G 3/20, 3/30, H05B 33/14 ローム株式会社内 Kyoto (JP).
- (21) 国際出願番号: PCT/JP2005/005673
- (22) 国際出願日: 2005 年 3 月 28 日 (28.03.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願 2004-095005 2004 年 3 月 29 日 (29.03.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 阿部 真一 (ABE, Shinichi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 前出 淳 (MAEDE, Jun) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 藤沢 雅憲 (FUJISAWA, Masanori) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 藤川 昭夫 (FUJIKAWA, Akio) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 梶山 信是, 外 (KAJIYAMA, Tsuyoshi et al.); 〒1600023 東京都新宿区西新宿 8-8-1 5-2 0 1 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: D/A CONVERTER CIRCUIT, ORGANIC EL DRIVE CIRCUIT, AND ORGANIC EL DISPLAY

(54) 発明の名称: D/A 変換回路、有機 EL 駆動回路および有機 EL 表示装置



weight of a place lower than the one's place is generated in the output-side transistor of the second current mirror circuit thereby to generate an analog converted current.

(57) Abstract: A D/A converter circuit drivable at low voltage with high accuracy and occupying a less area when fabricated into an IC circuit. The D/A converter circuit has a first current mirror circuit composed of output-side transistors so provided as to correspond to the digit positions of data to be converted and a second current mirror circuit cascade-connected to the upstream or downstream-side of at least one of the output-side transistors corresponding to the digit positions of lower orders of the data to be converted. The ratio of the operating current of the output-side transistor of the second current mirror circuit to that of the corresponding input-side transistor is n:1 (n is an integer of one or more). A current corresponding to the place

[続葉有]

WO 2005/093958 A1



2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

本発明は、低電圧駆動が可能で、高精度でかつ IC 化した場合に専有面積を抑えることが可能な D/A を提供する。その為に、本発明は、被変換データの桁位置に対応してそれぞれ設けられた複数の出力側トランジスタを有する第 1 のカレントミラー回路を有する D/A 変換回路において、被変換データの下位の桁位置に対応する少なくとも出力側トランジスタのうちの 1 つの上流側あるいは下流側に従属接続された第 2 のカレントミラー回路を有し、第 2 のカレントミラー回路の入力側トランジスタに対する出力側トランジスタの動作電流比が $n : 1$ (ただし n は 1 以上の整数) に設定され、第 2 のカレントミラー回路の出力側トランジスタに 1 の位より下位の桁重みに対応する電流を得て、アナログ変換電流を生成するものである。

明 細 書

D/A変換回路、有機EL駆動回路および有機EL表示装置

技術分野

- [0001] この発明は、D/A変換回路、有機EL駆動回路および有機EL表示装置に関し、詳しくは、低電圧駆動が可能で、高精度でかつIC化した場合に専有面積を抑えることが可能な、カレントミラー回路を利用したD/A変換回路に関する。さらには、カレントミラー回路を利用したこのD/A変換回路により表示データに応じた駆動電流を生成して有機ELパネルの端子ピンに出力するカラムライン(有機EL素子の陽極側ドライブライン、以下同じ)あるいはデータ線を駆動する電流駆動回路において、表示装置の製品毎の輝度ばらつきや表示装置の輝度むらを抑えることができ、 γ 補正が容易な有機EL駆動回路に関する。

背景技術

- [0002] 携帯電話機、PHS、DVDプレーヤ、PDA(携帯端末装置)等に搭載される有機EL表示装置の有機EL表示パネルでは、カラムラインの数が396個(132×3)の端子ピン、ローラインが162個の端子ピンを持つものが提案され、カラムライン、ローラインの端子ピンはこれ以上に増加する傾向にある。

このような有機EL表示パネルの駆動回路として、カラムピン対応にD/A変換回路(以下D/A)を設けたこの出願人の特開2003-234655号の出願がある(特許文献1)。これは、カラムピン対応のD/Aが表示データと基準駆動電流とを受けて、基準駆動電流に従って表示データをD/A変換してカラムピン対応にカラム方向の駆動電流あるいはこの駆動電流の元となる電流を生成する。

特許文献1:特開2003-234655号公報

- [0003] 消費電力を低減するために、前記のD/Aの電源電圧は、例えば、DC3V程度と低く抑えられ、最終段の出力段電流源の電源電圧だけを、例えば、DC15V〜20Vとし、各カラムピン(あるいはドライバICの各出力端子)対応に設けられた各D/Aが、各カラムピン(あるいはドライバICの各出力端子)対応に分配された基準駆動電流を受けて有機EL素子(以下OEL素子)の駆動電流の元となる電流を生成して出力

段電流源を駆動する。これにより電流駆動回路全体の消費電力を低く抑えている。

しかし、前記のD/Aは、IC化した場合にピン対応に設ける必要があるので、その占有面積を抑えるために、現在のところ、4ビット〜6ビット程度のもとなっている。

発明の開示

発明が解決しようとする課題

- [0004] 4ビット〜6ビット程度のD/Aを使用して出力電流源段を駆動し、OEL素子を電流駆動すると、D/Aの電流変換精度が悪いために、カラムピン対応のあるいは各出力端子対応の駆動電流にばらつきを生じ、それが表示装置の製品毎の輝度ばらつきや表示装置の輝度むらとなった現れてくる問題がある。

ところで、有機EL表示パネルの各OEL素子は、ブラウン管の場合と同様に表示データの値に応じて発生する駆動電流に対してその輝度が直線的な関係ははなく、R、G、Bの材料による素子特性に応じた曲線になる。そこで、有機EL表示装置を使用する周囲の環境が変わると画質が変化し、有機EL表示パネルが高解像度になればなるほど、この画質の変化が目立ってくる。そのために γ 補正をすることが必要になる。

通常、 γ 補正をする場合には、ドライバ等でソフト的にD/A変換回路に設定する表示データを補正することが考えられるが、4ビット〜6ビット程度のD/Aでは、この γ 補正ができない問題がある。そのため γ 補正回路をピン対応に設けることになるが、 γ 補正回路の増加により電流駆動回路の占有面積が増える問題がある。

この発明の目的は、このような従来技術の問題点を解決するものであって、低電圧駆動が可能で、高精度でかつIC化した場合に専有面積を抑えることが可能なD/Aを提供することにある。

この発明の他の目的は、表示装置の輝度ばらつきや輝度むらを抑えることで、 γ 補正が容易な有機EL駆動回路および有機EL表示装置を提供することにある。

課題を解決するための手段

- [0005] このような目的を達成するためのこの発明のD/A、有機EL駆動回路および有機EL表示装置の構成は、被変換データの桁位置に対応してそれぞれ設けられた複数の出力側トランジスタを有する第1のカレントミラー回路を有し、前記被変換データの

桁位置に対応する桁重みに応じた電流を前記被変換データに応じて前記複数の出力側トランジスタの少なくとも1つに得てアナログ変換電流を生成するD/A変換回路において、

前記被変換データの下位の桁位置に対応する少なくとも前記出力側トランジスタのうちの1つの上流側あるいは下流側に従属接続された第2のカレントミラー回路を有し、

前記第2のカレントミラー回路の入力側トランジスタに対する出力側トランジスタの動作電流比が $n:1$ （ただし n は1以上の整数）に設定され、前記第2のカレントミラー回路の前記出力側トランジスタに1の位より下位の桁重みに対応する電流を得て、前記アナログ変換電流を生成するものである。

発明の効果

[0006] この発明は、第2のカレントミラー回路を第1のカレントミラー回路の出力側トランジスタに電源ラインと基準電位ライン（グラウンドライン）との間で従属接続される形で直列に設けて1の位より下位の桁重みに対応するアナログ変換電流を得る。これにより、この発明は、最大桁位置の重み値に対応するアナログ変換電流を生成する出力側トランジスタの位置を低い桁位置側にシフトすることができる。この場合、1か、それ以上の桁重みにそれぞれ対応する第1のカレントミラー回路の出力側トランジスタで発生する各電流値は、低い位桁位置側にシフトした分だけ少なくなるが、それは、入力側トランジスタの駆動電流をその分大きくすればよい。例えば、1桁シフトした場合にはカレントミラー回路の入力側トランジスタの駆動電流を2倍にすれば、シフトする前の桁位置のアナログ変換電流をシフトした低い桁位置で得ることができる。

1の位の桁から最大桁位置までの重み値は、1, 2, 4, 8, 16, …と1つ手前の桁に対して2の累乗分で増加するので、これに対応してアナログ変換電流を生成する出力側トランジスタの数も増加するが、1の位より下位の桁重み、 $1/2 (=0.5)$, $1/4 (=0.25)$, $1/8 (=0.125)$, …、すなわち、2の累乗の値が1の除数とされる値については、出力側トランジスタに直列接続された第2のカレントミラー回路により2の累乗分の1に分流した電流を生成すれば済む。そのため、2の累乗分で増加する最大桁位置よりもアナログ変換電流を生成する出力側トランジスタの数が少なく済む。こ

れによりD/Aを構成するトランジスタセル数を低減でき、ICにおけるD/Aの専有面積を低減できる。

さらに、他の発明は、第2のカレントミラー回路の入力トランジスタと出力トランジスタの出力電極、例えば、ソースあるいはドレインのいずれかの電圧を等しくするバイアス回路を設けている。これにより、各桁の変換電流を高い精度で生成することができる。またさらに、1の位より下位の桁重みに対応する第1のカレントミラー回路の出力側トランジスタの出力側は、第2のカレントミラー回路が電源ラインと基準電位ライン(グラウンドライン)との間で従属接続される形で設けられるので、第2のカレントミラー回路の動作電流(入力側トランジスタと出力側トランジスタとに流れる電流の和)が流れる。これにより、第1のカレントミラー回路の出力側トランジスタの出力側には第2のカレントミラー回路の出力側トランジスタに流れる1の位より下位の桁重みに対する電流よりも大きな電流が流れることになるので、この発明は、この出力側トランジスタの出力側の動作電圧を低く抑えることができる。もちろん、1の位の桁を越える桁重みに対応する出力側トランジスタには大きな電流が流れる。これらによりこのD/Aの低電圧駆動が可能になる。

その結果、この発明は、低電圧駆動が可能で、高精度でかつIC化した場合に専有面積を抑えることが可能なD/Aを実現できる。さらに、このD/Aを用い、これにより表示データに応じた駆動電流を生成して有機ELパネルの端子ピンに出力するカラムラインあるいはデータ線の電流駆動回路は、表示装置の輝度ばらつきや輝度むらを抑えることができる。そして、この場合のD/Aとして変換ビット数を、例えば、8ビットか、それ以上にすることで、この発明は、表示データを γ 補正したデータとすることができ、これにより各出力端子対応に γ 補正が容易な電流駆動回路を実現できかつ電流駆動回路の占有面積の増加を抑えることができる。

発明を実施するための最良の形態

[0007] 図1は、この発明のD/Aを適用した一実施例の有機EL駆動回路のブロック図、図2は、他の実施例のブロック図、図3は、アクティブマトリックス形の有機EL駆動回路のブロック図である。

図1において、10は、有機EL駆動回路のカラムドライバであって、11は、そのD/A

A、12は、基準駆動電流 I_p を発生する定電流源、13は、定電圧バイアス回路、14は、ピーク電流生成回路、15は、コントロール回路、そして、16は表示データを記憶するレジスタである。

D/A11は、NチャネルMOSの入力側トランジスタ T_{Na} 、 T_{Np} とNチャネルMOSの出力側トランジスタ T_{Nb} 〜 T_{Ni} とによるカレントミラー回路で構成される。入力側トランジスタ T_{Np} は、入力側トランジスタ T_{Na} に並列に設けられている。

各出力側トランジスタ T_{Nb} 〜 T_{Ni} のドレインは、8ビット表示データの各桁位置に対応していて、アナログ変換電流を各ドレインに流れる電流の合計値として発生する。各出力側トランジスタ T_{Nb} 〜 T_{Ni} のソースとグラウンドGND間にはスイッチ回路として接続されたNチャネルMOSFETトランジスタ T_{rb} 〜 T_{ri} とがそれぞれ設けられている。そして、トランジスタ T_{rb} 〜 T_{ri} のゲートがそれぞれ表示データの各入力端子D0〜D7に接続されている。すなわち、各トランジスタ T_{rb} 〜 T_{ri} は、それぞれスイッチ回路となっていて、レジスタ17からの送出される表示データに応じて各スイッチ回路のON/OFFが決定される。表示データは、コントロール回路15のラッチパルスLPに応じてMPU等からレジスタ17にセットされる。

なお、各Nチャネルの入力側トランジスタ T_{Na} 、 T_{Np} 、 T_{Nb} 〜 T_{Ni} 、 T_{rb} 〜 T_{ri} のバックゲートは、グラウンドGNDに接続されている。

[0008] 入力側トランジスタ T_{Na} のソースは、グラウンドGNDに接続され、入力側トランジスタ T_{Np} のソースは、スイッチ回路SWを介してグラウンドGNDに接続されている。そして、各トランジスタ T_{Na} 、 T_{Np} 、 T_{Nb} 〜 T_{Ni} のゲートは共通に接続され、さらにトランジスタ T_{Na} 、 T_{Np} のゲートとドレインとがD/A11の入力端子11aに接続されている。このことでトランジスタ T_{Na} 、 T_{Np} は、ダイオード接続され、これらトランジスタがこのカレントミラー回路の入力側トランジスタとなっている。

なお、スイッチ回路SWは、コントロール回路15からインバータ15aを介して制御パルスCONTを受けてON/OFFされる。

表示データD0〜D2は、1の位以下となる下位3桁、すなわち1/8、1/4、1/2に対応していて、各出力側トランジスタ T_{Nb} 〜 T_{Nd} のドレインは、それぞれ上流に設けられたカレントミラー回路111、112、113に従属接続され、各カレントミラー回路111、

112, 113の出力側トランジスタのそれぞれ、出力ライン114を介してD/A11の出力端子11bにそれぞれ接続されている。

表示データD3〜D7は、1の位とそれ以上の位の対応する中・上位までの4桁である。この4桁に対応する各出力側トランジスタTNe〜TNiのドレインは、出力ライン114を介して出力端子11bに接続されている。

D/A11の出力端子11bは、出力段電流源1の入力に接続され、D/A11が出力段電流源1を電流駆動する。出力段電流源1は、通常、カレントミラー回路で構成される。その入力側トランジスタがD/A11により駆動されてその出力側トランジスタに発生する電流が有機ELパネルの端子ピン2を介してOEL素子3の陽極に接続され、これを電流駆動する。なお、OEL素子3の陰極は、通常、ロー側駆動回路を介して接地されるが、ロー側駆動回路は発明に関係していないので、ここでは図示するように接地されているものとする。

[0009] 各トランジスタTNa, TNp, TNb〜TNiの脇に示す、×1, ×2, ×4…の数字は、パラレルに接続されたトランジスタのセル数(以下セル数)を示している。×1の場合にパラレル接続はない。このセル数に応じて出力側トランジスタTNe〜TNiは、それぞれの出力電流が表示データD3〜D7の桁重みに対応するアナログ変換電流を発生する。出力側トランジスタTNb〜TNeは、×1となっていて、これらに流れる動作電流は等しい。

各出力側トランジスタTNb〜TNdについては、カレントミラー回路111, 112, 113が上流に設けられている関係で、桁重みが1/8, 1/4, 1/2のアナログ変換電流値を発生する。

すなわち、このD/A11は、表示データD0〜D7の桁重みの中央位置に当たる4桁目(D3)に対応する出力トランジスタTNeを1の位の桁として、これより手前の各桁(D0〜D3)に対応する出力トランジスタTNb〜TNdの位置は、2の累乗の値が1の除数とされて順次選択された桁重みとなっている。また、これより後ろの各桁の出力位置は、2の累乗の値の桁重みとされて順次選択された桁重みとなっている。

[0010] なお、4桁目(D3)は、表示データを8ビットとすれば、その1の位の桁位置を上位と下位の2つに割ったときの実質的に真ん中に相当する桁位置(表示データをmビット

とすれば、 m が偶数のときには $m/2$ の桁位置、 m が奇数のときには真ん中の桁位置)に対応している。そこで、1の位より下位の桁重みは、この実質的に真ん中に相当する桁位置を1の位としてこれよりも下位の桁位置(D0〜D3)に対応する出力側トランジスタTNb〜TNdに割当てられている。

これにより8ビットの最上位桁の桁重み128を1の位より下位3桁の桁重み分シフトすることができる。通常、8ビットの最大桁位置の重み値128は、1つ手前の桁64に対して2の累乗分の値に増加するが、この実施例の桁位置D0〜D3のようにカレントミラー回路を上流に設けてこれにより分流した電流の1つを1の位より下位の桁重みの電流値とする。すなわち、上流のカレントミラー回路の各出力側トランジスタがそれぞれ1の位より下位の桁重みの電流値を生成するようにすれば、出力側トランジスタの数の増加を抑えることができる。

この場合、1の位より下位の桁重みは、上流側に設けたカレントミラー回路の入力側トランジスタと出力側トランジスタとのチャネル幅比(あるいはゲート幅比)で下流の出力側トランジスタに流れる電流をこれらトランジスタに分配することで容易に生成することができる。そして、上流のカレントミラー回路がその出力側トランジスタに分配した2の累乗分の1の電流は、D/A11の出力端子11bに出力される。

例えば、1の位以下の桁を1桁として上流のカレントミラー回路の入力側トランジスタと出力側トランジスタで電流を1:1で分配してD/A11の出力端子11bに1/2の電流が1の位以下の桁から出力され、最大桁側が1桁シフトした場合を例とすれば、最上位桁のトランジスタセル数が64個となり、64個の低減となる。この場合に上流にあるカレントミラー回路による1/2の桁重みのトランジスタセル数の増加は、この実施例では、カレントミラー回路としてトランジスタが2個増加し、定電圧バイアス回路13としてトランジスタが2個増加し、総計4個増加するだけである。

[0011] D0に対応する出力側トランジスタTNbの上流に設けられたカレントミラー回路111は、Nチャネルの入力側トランジスタQN1とNチャネルの出力側トランジスタQN2とによるカレントミラー回路で構成されている。トランジスタQN1のドレインは、トランジスタTN1を介して電源ライン+VDDに接続され、トランジスタQN2のドレインは、トランジスタTN2、出力ライン114を介して出力端子11bに接続されている。トランジスタQN1、

QN2のソース側は、共通に出力側トランジスタTNbのドレインに接続されている。

D1に対応する出力側トランジスタTNcの上流に設けられたカレントミラー回路112は、Nチャネルの入力側トランジスタQN3とNチャネルの出力側トランジスタQN4とによるカレントミラー回路で構成されている。トランジスタQN3のドレインは、トランジスタTN3を介して電源ライン+VDDに接続され、トランジスタQN4のドレインは、トランジスタTN4、出力ライン114を介して出力端子11bに接続されている。トランジスタQN3、QN4のソース側は、共通に出力側トランジスタTNbのドレインに接続されている。

D2に対応する出力側トランジスタTNdの上流に設けられたカレントミラー回路113は、Nチャネルの入力側トランジスタQN5とNチャネルの出力側トランジスタQN6とによるカレントミラー回路で構成されている。トランジスタQN5のドレインは、トランジスタTN5を介して電源ライン+VDDに接続され、トランジスタQN6のドレインは、トランジスタTN6、出力ライン114を介して出力端子11bに接続されている。トランジスタQN5、QN6のソース側は、共通に出力側トランジスタTNbのドレインに接続されている。

なお、トランジスタQN1〜QN6のゲートは、共通に電源ライン+VDDに接続されている。

[0012] 定電圧バイアス回路13は、定電圧回路13aとNチャネルのトランジスタTN1〜N6とからなる。

トランジスタTN1〜TN6のゲートは、電圧Vaの定電圧回路13aにライン115を介して接続されている。これにより、トランジスタTN1〜TN6の下流に接続されるトランジスタQN1〜QN6のドレインは、電圧 $V_a - V_{gs}$ となり、実質的に等しくなる。なお、 V_{gs} は、トランジスタQN1〜QN6のゲートソース間電圧であり、0.7V程度である。カレントミラー回路であるので、トランジスタQN1〜QN6のゲート電圧は等しい。

その結果、カレントミラー回路111〜113を構成する各トランジスタのドレインソース間の電流値をトランジスタセル単位で等しくでき、変換電流精度を向上することができる。

[0013] トランジスタQN1とトランジスタQN2は、平行に接続されるセル数の比が7:1である。これにより、これらトランジスタのチャネル幅(ゲート幅)の比が7:1に設定されている。その結果、下流の出力側トランジスタTNbに流れる電流の1/8の電流が出力ライ

ン114からシンクされる。

これらトランジスタのチャネル幅の比は、カレントミラー回路111においては入力側トランジスタQN1と出力側トランジスタQN2との動作電流比を決定する。

同様に、トランジスタQN3とトランジスタQN4は、パラレルに接続されるセル数の比が3:1である。これにより、下流の出力側トランジスタTNcに流れる電流の1/4の電流が出力ライン114からシンクされる。

さらに、トランジスタQN5とトランジスタQN6は、パラレルに接続されるセル数の比が1:1である。これにより、下流の出力側トランジスタTNdに流れる電流の1/2の電流が出力ライン114からシンクされる。

以上により出力端子11bからシンクする電流の桁重みが1/8, 1/4, 1/2となり、これらの電流が1の位以下のそれぞれの桁位置に発生する。このとき、下流のトランジスタTNb〜TNdに流れる電流は、カレントミラー回路111〜113で分配された電流が合流した電流、すなわち、カレントミラー回路の全体の動作電流であり、それらは、4桁目(D3)のトランジスタTNeに流れる電流と同じ電流値である。これによりトランジスタTNb〜TNdのドレイン−ソース間の電圧を、通常に1の位以下の桁の電流を直接得る場合よりも低くすることができる。しかも、それは、トランジスタTNaとトランジスタTNpに流れる駆動電流に対応した値となるので、精度が高い。

このように、トランジスタTNb〜TNeに流れる電流が実質的に等しくなっているので、4桁目(D3)からその下の下位桁の変換電流精度が向上する。また、最上位桁もパラレル接続セル数が16個と少ない数で留まるので、その分、変換電流精度が向上する。

[0014] 入力側のトランジスタTNaとトランジスタTNpは、パラレルに接続されるセル数の比が1:9である。これにより、これらトランジスタのチャネル幅(ゲート幅)の比が1:9に設定されている。

ところで、この実施例のD/A11は、出力側トランジスタで発生する電流値が低い位桁位置側にシフトした分だけ少なくなる。しかし、それは、入力側トランジスタの駆動電流をその分大きくすればシフトする前の桁位置のアナログ変換電流をシフトした低い桁位置で得ることができる。入力側トランジスタの駆動電流を発生するのが定電

流源12である。

定電流源12は、例えば、+3V程度の低い電源ライン+VDDに接続されていて、これの下流に設けられたトランジスタTNaとトランジスタTNpに入力端子11aを介して駆動電流 I_p を送出する。

この定電流源12は、基準電流分配回路の出力電流源に対応している。基準電流分配回路は、カレントミラー回路で構成される入力側トランジスタが基準電流を受けて、出力端子ピン対応に並列に設けられた多数の出力側トランジスタにミラー電流として基準電流を生成する。このとき分配された基準電流あるいは基準駆動電流（基準電流が増幅された電流）は、OEL素子3の駆動初期に駆動電流にピーク電流を発生する。このピーク電流を生成する電流値に対応させた電流値が駆動電流値 I_p である。これが基準電流分配回路に設けられたカレントミラー回路の各出力側トランジスタから各D/A11に出力される。したがって、この電流源12は、通常、1個のPチャネルのMOSTランジスタとされ、そのソースが電源ライン+VDDに接続され、そのドレインが入力端子11aに接続されたものとなる。

[0015] 図1に示すように、トランジスタTNpの下流のスイッチ回路SWは、コントロールパルスCONTの反転信号をインバータ15aを介して受ける。コントロール回路15は、OEL素子3の駆動初期に一定期間HIGHレベル（“H”）となるコントロールパルスCONTを発生する。これにより駆動初期はスイッチ回路SWがOFFとなって、D/A11に前記のピーク電流を生成するアナログ変換電流が発生する。その後、コントロールパルスCONTが停止してLOWレベル（“L”）になることでスイッチ回路SWがその反転信号“H”を受けてONになる。これにより駆動電流値 I_p は、トランジスタTNpに分流されてトランジスタTNaとトランジスタTNpとに流れ、入力側の駆動電流が $I_p/10$ になって、OEL素子3の駆動電流は、駆動初期のピーク電流から定常電流に落ちる。

さて、以上により、図1に示すD/A11は、カレントミラー回路の出力側トランジスタTNb〜TNdが出力端子11bからシンクする電流が桁重み $1/8$, $1/4$, $1/2$ でありながら、桁重み1の4桁目（D3）の出力トランジスタTNeと実質的に等しい電流にできる。しかも、変換ビット数が8ビットでありながら最大桁の重みは、 $\times 16$ で済む。これにより、4桁目（D3）を越える上位桁の出力電流のばらつきも抑えることができる。

[0016] 図2は、さらに他の実施例のD/A110の回路であって、定電圧バイアス回路13に変えてボルテージフォロア(バッファアンプ)130を設けたものである。

カレントミラー回路111〜113の各カレントミラー回路の入力側トランジスタQN1, QN3, QN5の駆動電流は、電源ライン+VDDではなく、ボルテージフォロア130を介して供給される。トランジスタTN1〜TN6は削除されることによりトランジスタ数がさらに低減されている。

ボルテージフォロア130は、差動アンプ(例えば、オペアンプ)で構成され、その(+)入力端子が出力ライン114に接続されている。その(−)入力端子が出力端子に接続されてフィードバックされ、この出力端子がトランジスタQN1, QN3, QN5のドレインにライン115を介して接続されている。

その他の構成は、図1の実施例と同様であるので説明を割愛する。

この実施例では、ボルテージフォロア130によりこれの出力電圧を出力端子11bの電圧と等しくなるように設定する。これにより、トランジスタQN1〜QN6のドレインの電圧を出力端子11bの電圧にする。

その結果、カレントミラー回路111〜113の各入力側トランジスタと各出力側トランジスタのドレイン電圧が実質的に等しくなり、ゲート電圧は電源ライン+VDDの電圧になっている。したがって、これらのカレントミラー回路は、動作するためのバイアス電圧が等しいので、動作電流誤差が低減され、電流変換精度が向上する。

このD/A110の利点は、パッシブマトリックス形の有機ELパネルのように、図1のD/Aで出力端子11aに出力段電流源1を設けた場合に電流変換精度を向上させることができることである。

すなわち、電源ライン+VDD(例えば3V)より高い電圧、例えば、15V〜20Vの電源電圧で動作する出力段電流源1を駆動する場合、出力端子11aの出力電流値に応じて出力ライン114の電位が数V程度変動するが、この実施例では、それを数mV〜数十mV程度の範囲に抑えることができる。

[0017] 図1の実施例においてトランジスタQN3とトランジスタQN4は、パラレルに接続されるセル数の比が3:1であり、トランジスタQN5とトランジスタQN6は、パラレルに接続されるセル数の比が1:1である。しかし、この実施例は、トランジスタQN3とトランジスタQ

N4の動作電流比は3:1であるが、これらのセル数の比を6:2とし、トランジスタQN5とトランジスタQN6の動作電流比は1:1であるが、これらのセル数の比を4:4としている。このようにすれば、すべてのセルトランジスタセル回路に流れる電流を $I_p/8$ とすることができる。ただし、 I_p は、入力側トランジスタセル回路のピーク電流発生時の駆動電流値である。定常状態での駆動電流値は、 $I_p/10$ である。

これによりこの実施例は、各出力側トランジスタTNb〜TNeのドレイン側の電位を実質的に等しくすることが可能になる。その結果、出力側トランジスタTNb〜TNeの出力電流(アナログ変換電流)の精度をさらに向上させることができる。

[0018] 図3は、アクティブマトリックス形の有機ELパネルの具体例であって、D/A110(あるいはD/A11)の出力端子11aが電流シンクの出力となっているので、出力段電流源1を削除して、D/Aの出力端子11aを端子ピン2に直接接続した実施例である。この実施例は、アクティブマトリックス形の有機ELパネル101のピクセル回路4のデータ線X(X1〜Xn)に端子ピン2を介して出力端子11aを接続し、アクティブマトリックス形の有機ELパネルを駆動する。

100は、D/A110が出力端子ピン2に対応して設けられた電流駆動回路であり、MPU6により制御される。コントロール回路15は、MPU6により制御されてタイミング制御信号T1、T2を書込制御回路5に送出する。

[0019] 図3に示すように、ピクセル回路(表示セル)4は、X、Yのマトリックス配線(データ線X1, …Xn, 走査線Y1, Y2, …)の交点に対応して設けられていて、このピクセル回路4内には各データ線と各走査線Y1との各交点にソース側とゲートが接続されたNチャネルMOSトランジスタTr1が配置されている。OEL素子4aは、ピクセル回路4に設けられたPチャネルMOSの駆動トランジスタTr2により駆動される。トランジスタTr2のソース−ゲート間にはコンデンサCが接続されている。トランジスタTr2のソースは、例えば、+7V程度の+Vcc電源ラインに接続され、そのドレイン側はOEL素子4aの陽極に接続されている。OEL素子4aの陰極は、ロー側走査回路7のスイッチ回路7aに接続され、このスイッチ回路7aを介してグランドGNDに接続されている。

[0020] ピクセル回路4において、トランジスタTr1とトランジスタTr2との間にはPチャネルMOSトランジスタTr3とNチャネルMOSトランジスタTr4が設けられている。トランジスタ

Tr3は、トランジスタTr2を出力側トランジスタとしてカレントミラー回路4bを構成する入力側トランジスタとなっていて、これの下流にトランジスタTr1のドレインが接続されている。トランジスタTr4は、そのソースとドレインを介してトランジスタTr3とトランジスタTr1の接続点とカレントミラー回路4bの共通ゲート(トランジスタTr2のゲート)との間に接続されている。

トランジスタTr1のゲートは、走査線Y1(書込線)を介して書込制御回路5に接続され、トランジスタTr4のゲートは、走査線Y2(イレーズ線)を介して書込制御回路5に接続されている。書込制御回路5は、制御信号T1、T2に応じて走査線Y1(書込線)と走査線Y2(イレーズ線)とを駆動走査し、これら走査線が“H”になることでトランジスタTr1とトランジスタTr4とがともにONとなる。これにより所定の駆動電流でトランジスタTr2が駆動されるとともにコンデンサCに充電されて所定の駆動電圧がコンデンサCに保持される。その結果、コンデンサCに駆動電流値が書込まれる。このとき、コンデンサCはこれを電圧値として記憶する。なお、コントロール回路15からの制御パルスCONTに応じて、このコンデンサCには充電初期にピーク電流が流される。

MOSTランジスタTr2は、この記憶されたコンデンサCの電圧に応じて電流駆動されることになる。このときコンデンサCに記憶された電圧は、書込時の駆動電流に対応する電圧値となり、OEL素子4aは、書込時の駆動電流に対応した電流値で電流駆動される。トランジスタTr2とトランジスタTr3のチャネル幅が等しいときには、書込み電流と同じ駆動電流を発生させることができる。

- [0021] 各実施例において、カレントミラー回路111〜113は、D/Aを構成するカレントミラー回路の出力側トランジスタTNb〜TNdに対して電源ラインとグラウンドライン(基準電位ライン)との間でこれらトランジスタの上流側に属接続される(直列に接続される)カレントミラー回路となっている。しかし、これらトランジスタは、出力側トランジスタTNb〜TNdの下流側に設けられていてもよいことはもちろんである。

産業上の利用可能性

- [0022] 以上説明してきたが、実施例では、NチャネルMOSTランジスタを主体としたD/Aを示しているが、このD/Aは、PチャネルMOSTランジスタあるいはこれとNチャネルMOSTランジスタとを組み合わせた回路であってもよいことはもちろんである。さらに

、これらトランジスタは、バイポーラトランジスタであってもよいことはもちろんである。なお、その場合には、ゲートはベースに、ソースはエミッタに、ドレインがコレクタに対応し、トランジスタのチャンネル幅(ゲート幅)の比は、エミッタ面積比になる。

図面の簡単な説明

[0023] [図1]図1は、この発明のD/Aを適用した一実施例の有機EL駆動回路のブロック図である。

[図2]図2は、他の実施例のブロック図である。

[図3]図3は、アクティブマトリックス形の有機EL駆動回路のブロック図である。

符号の説明

[0024] 1…出力段電流源、2…端子ピン、
3, 4a…OEL素子、4…ピクセル回路、
5…書込制御回路、6…MPU、7…ロー側走査回路、
17…ピン、10…カラムドライバ、11…D/A変換回路(D/A)、
12…定電流源、13…定電圧バイアス回路、
13a…定電圧回路、
14…ピーク電流生成回路、
15…コントロール回路、15a…インバータ、
16, 17…レジスタ、
111〜113…カレントミラー回路、
130…ボルテージフォロア、
TNa〜TNi, QN1〜TN6, TN1〜TN6…NチャネルのMOSTランジスタ。

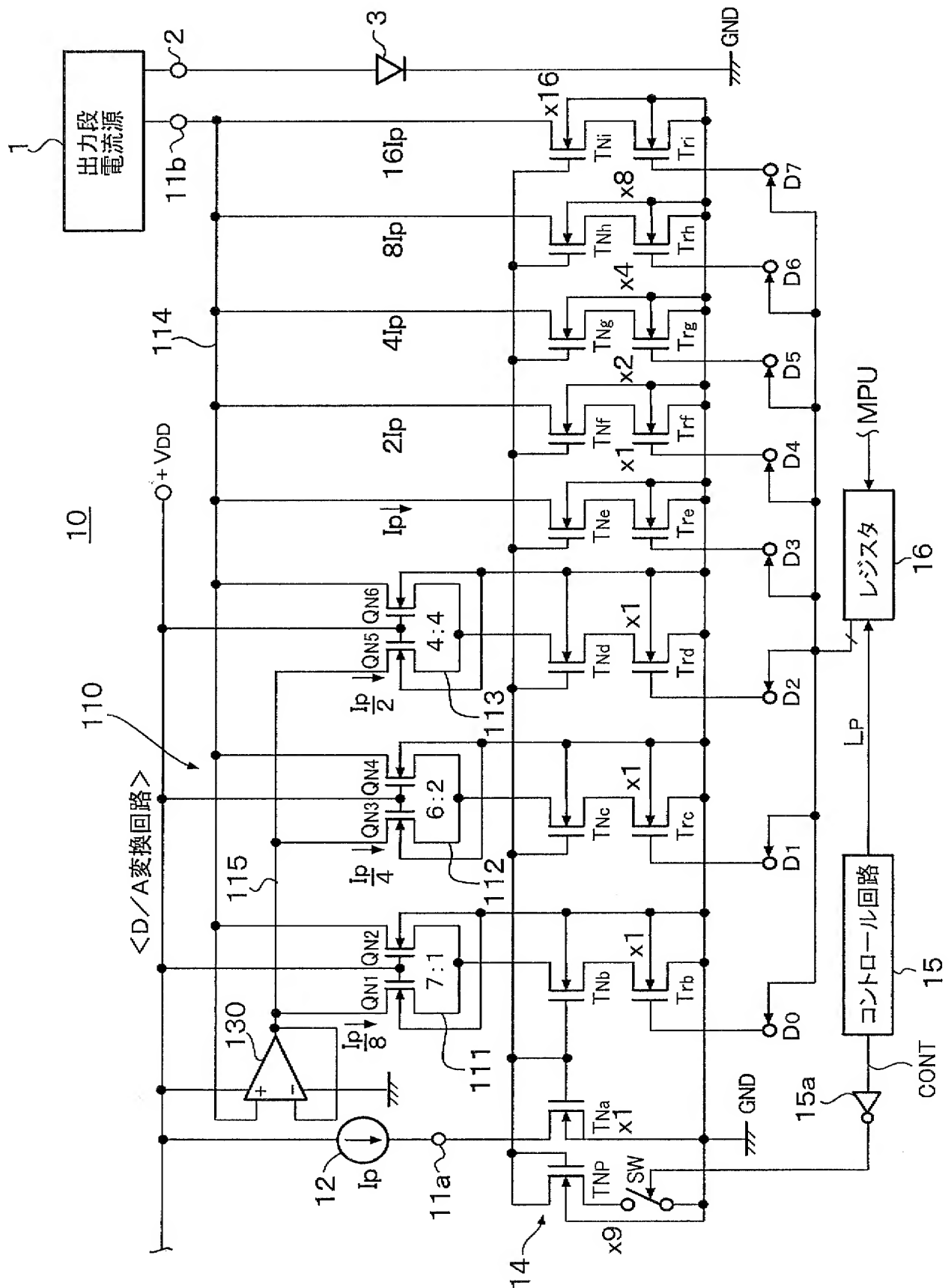
請求の範囲

- [1] 被変換データの桁位置に対応してそれぞれ設けられた複数の出力側トランジスタを有する第1のカレントミラー回路を有し、前記被変換データの桁位置に対応する桁重みに応じた電流を前記被変換データに応じて前記複数の出力側トランジスタの少なくとも1つに得てアナログ変換電流を生成するD/A変換回路において、
前記被変換データの下位の桁位置に対応する少なくとも前記出力側トランジスタのうちの1つの上流側あるいは下流側に従属接続された第2のカレントミラー回路を有し、
前記第2のカレントミラー回路の入力側トランジスタに対する出力側トランジスタの動作電流比が $n:1$ （ただし n は1以上の整数）に設定され、前記第2のカレントミラー回路の前記出力側トランジスタに1の位より下位の桁重みに対応する電流を得て、前記アナログ変換電流を生成するD/A変換回路。
- [2] 前記1の位より下位の桁重みに対応する電流は、前記被変換データの下位桁の少なくとも1つに対応するものとして前記D/A変換回路の出力端子に出力される請求項1記載のD/A変換回路。
- [3] さらに、定電圧バイアス回路を有し、前記第2のカレントミラー回路の前記入力側トランジスタおよび前記出力側トランジスタの出力電極が前記定電圧バイアス回路により所定の定電圧に設定される請求項2記載のD/A変換回路。
- [4] 前記定電圧バイアス回路は、前記第2のカレントミラー回路の前記入力側トランジスタおよび前記出力側トランジスタにそれぞれ直列に接続された直列接続の多数のトランジスタと定電圧回路とを有し、前記直列接続の多数のトランジスタのゲートあるいはベースを前記定電圧回路により定電圧に設定することで前記出力電極が前記所定の定電圧に設定される請求項3記載のD/A変換回路。
- [5] 前記変換データを m ビットとすれば、 m が偶数のときには $m/2$ を前記1の位の桁とし、 m が奇数のときには真ん中の桁を前記1の位の桁とし、これらの1の位より下位に前記第2のカレントミラー回路がそれぞれ設けられ、前記 n は、前記1の位より下位の桁重みに対応してそれぞれに選択されている請求項4記載のD/A変換回路。
- [6] 前記第2のカレントミラー回路の前記入力側トランジスタ、前記出力側トランジスタそ

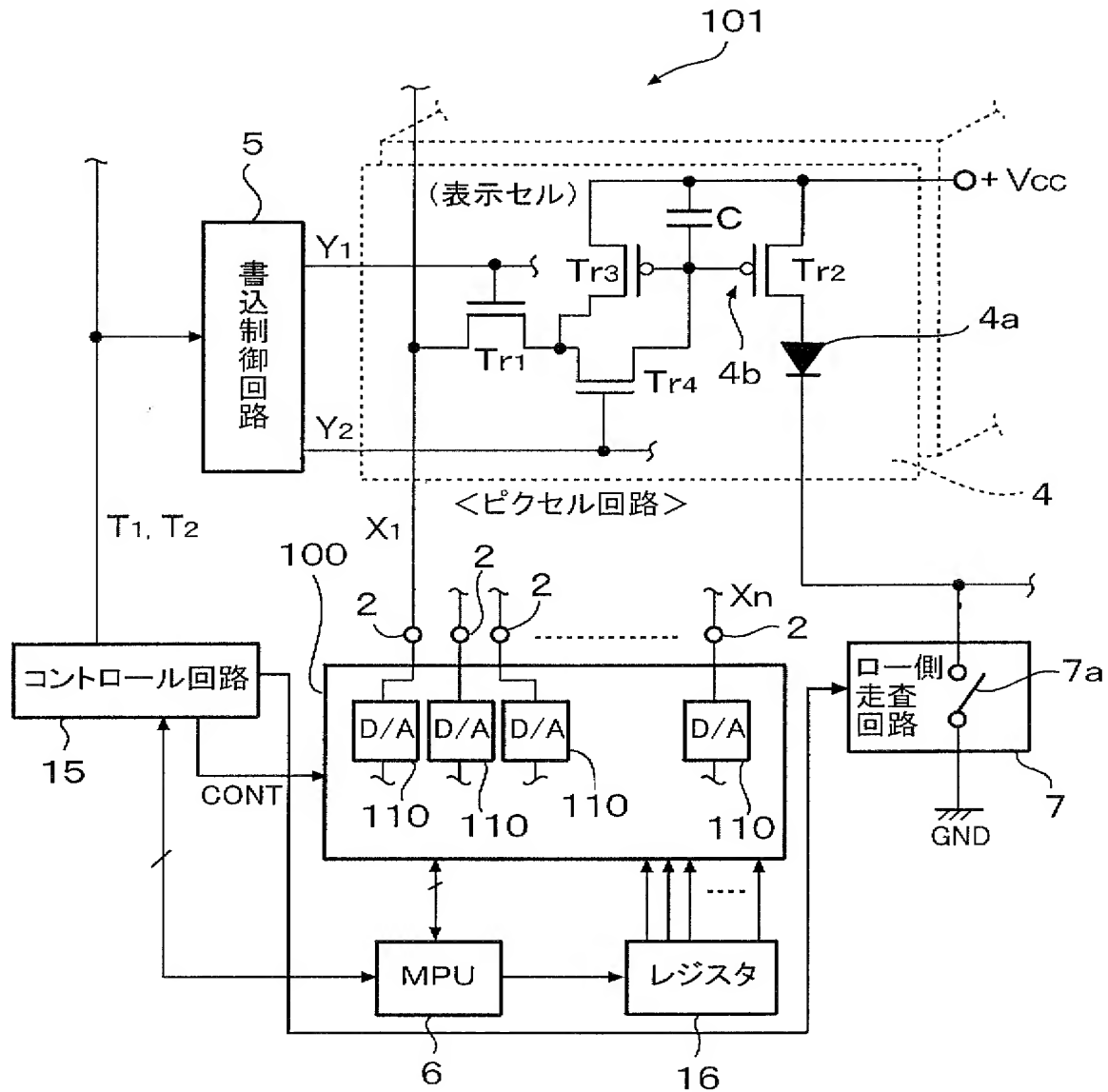
して前記直列接続の多数のトランジスタはそれぞれMOSTランジスタであり、前記第2のカレントミラー回路の動作電流から、2の累乗の値が1の除数とされる電流値分が前記第2のカレントミラー回路の前記出力側トランジスタに分流され、前記出力端子にこの分流された電流が出力される請求項3記載のD/A変換回路。

- [7] 前記第2のカレントミラー回路の前記入力側トランジスタ、前記出力側トランジスタとして前記直列接続の多数のトランジスタはそれぞれMOSTランジスタであり、前記定電圧バイアス回路は、前記第2のカレントミラー回路のそれぞれの前記出力側トランジスタの前記出力電極とそれぞれの前記入力側トランジスタの前記出力電極とを接続するボルテージフォロアを有する請求項3記載のD/A変換回路。
- [8] 前記被変換データの桁数は8ビットか、それ以上である請求項6又は7記載のD/A変換回路。
- [9] 前記被変換データの桁数は、8ビットか、それ以上でありかつ γ 補正された表示データである請求項6又は7記載のD/A変換回路。
- [10] 請求項1〜9のいずれか1項記載の前記被変換データは表示データであってかついずれか1項記載のD/A変換回路の出力電流により有機EL素子を電流駆動する有機EL駆動回路。
- [11] 請求項1〜9のいずれか1項記の前記被変換データは表示データであってかついずれか1項記載のD/A変換回路と、このD/A変換回路の出力電流を受けてこれにより駆動されて有機EL素子を電流駆動する電流源とを備える有機EL駆動回路。
- [12] 請求項10または11項記載の有機EL駆動回路を有する有機EL表示装置。

[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005673

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H03M1/74, G09G3/20, 3/30, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H03M1/74, G09G3/20, 3/30, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 55-034537 A (Fujitsu Ltd.), 11 March, 1980 (11.03.80), Page 2, lower left column, lines 9 to 16; page 3, upper left column, line 3 to lower left column, line 19; Figs. 7, 3, 4 (Family: none)	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

06 June, 2005 (06.06.05)

Date of mailing of the international search report

21 June, 2005 (21.06.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H03M1/74, G09G3/20, 3/30, H05B33/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H03M1/74, G09G3/20, 3/30, H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 55-034537 A (富士通株式会社) 1980.03.11, 第2頁左下欄第9-16行, 第3頁左上欄第3行-同頁左下欄第19行, 第7,3,4図 (ファミリーなし)	1-12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

06.06.2005

国際調査報告の発送日

21.6.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柳下 勝幸

電話番号 03-3581-1101 内線 3596

5X

9561

第IV欄 要約（第1ページの5の続き）

本発明は、低電圧駆動が可能で、高精度でかつIC化した場合に専有面積を抑えることが可能なD/Aを提供する。その為に、本発明は、被変換データの桁位置に対応してそれぞれ設けられた複数の出力側トランジスタを有する第1のカレントミラー回路を有するD/A変換回路において、被変換データの下位の桁位置に対応する少なくとも出力側トランジスタのうちの1つの上流側あるいは下流側に従属接続された第2のカレントミラー回路を有し、第2のカレントミラー回路の入力側トランジスタに対する出力側トランジスタの動作電流比が $n:1$ （ただし n は1以上の整数）に設定され、第2のカレントミラー回路の出力側トランジスタに1の位より下位の桁重みに対応する電流を得て、アナログ変換電流を生成するものである。